

明細書

遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置

発明の背景

5

技術分野

本発明は、遅延時間補正回路、ビデオデータ処理回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、入力データにダミーデータを介挿して入力データの論理レベルを強制的に切り換えることにより、T F T等による論理回路において遅延時間の変化を有効に回避することができる。

背景技術

近年、例えばP D A、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に集積化して構成するものが提供されるようになされている。

すなわちこの種の液晶表示装置は、液晶セルと、この液晶セルのスイッチング素子である低温ポリシリコンT F T (Thin Film Transistor ; 薄膜トランジスタ) と、保持容量とによる画素をマトリックス状に配置して表示部が形成され、この表示部の周囲に配置した各種の駆動回路により表示部を駆動して各種の画像を表示するようになされている。

このような液晶表示装置においては、例えば順次ラスタ走査順に入力されてなる各画素の階調を示す階調データを奇数列及び偶数列の階調データに分離し、これら奇数列及び偶数列の階調データに基づいて、それぞれ表示部の上下に設けた奇数列用及び偶数列用の水平駆動回路で表示部を駆動することにより、表示部における配線パターンを効率良くレイアウトして高精細に画素を配置するようになされている。

このように各水平駆動回路における階調データの処理においては、液晶表示装置に入力する階調データの配列との関係で、例えば特開平10-17371号公

報、特開平10-177368号公報等に、種々の工夫が提案されるようになっている。

このような液晶表示装置に適用される低温ポリシリコンTFTによるこの種の論理回路においては、長期間、入力値がLレベルに保持されると、続く論理レベルの立ち上がりの応答において遅延時間が長くなり、これにより直前の論理レベルの長さに応じて遅延時間が変化する問題がある。

すなわち第1図及び第2図に示すようにこの種の論理回路において、例えば、メインクロックMCK（第2図（A））に同期した入力データD1（第2図（B））をレベルシフタ1に入力し、0～3〔V〕による振幅を0～6〔V〕に変換して出力する場合に、入力データD1の論理レベルがデューティ比50〔%〕により切り換わっている期間T1において、遅延時間 t_d は、ほぼ一定となる。これに対して期間T2により示すように、入力データD1の論理レベルがLレベルに長時間保持されると、直後の遅延時間 t_{d1} においては、期間T1における遅延時間 t_d より長くなる（第2図（C））。

これにより第3図に示すように、階調データの各ビットD1（第3図（B1）及び（B2））をレベルシフトさせてサブクロックSCK（第3図（A））によりラッチする場合に、この階調データが高転送速度によるデータの場合、この階調データの各ビットD1において論理レベルがデューティ比50〔%〕により切り換わっている期間T1においては、このサブクロックSCKにより正しくレベルシフタ1の出力データD2Aをラッチできるのに対し（第3図（B1）及び（C1））、例えば垂直ブランキング期間VBLの直後においては、正しくレベルシフタ1の出力データD2をラッチできなくなる（第3図（B2）及び（C2））。

このように正しくデータをラッチできない場合、液晶表示装置においては、上述したように、階調データを偶数列と奇数列とに分離して高解像度の表示部を駆動する場合、垂直ブランキング期間の直後において、局所的に誤った階調により画素を駆動することになる。また例えば黒色の背景の中にウィンドウ形状により白色の領域を表示する場合に、この白色の領域の走査開始端側でも、同様に誤った階調により画素を駆動することになる。また液晶表示装置においては、このよ

うな階調データ D 1 が表示部の階調数に対応する例えば 6 ビットパラレルにより入力され、このような遅延時間の変化においては、階調データの各ビットで発生することにより、階調データの特定ビットだけ誤ったデータをラッチする場合も発生し、これらにより表示に供する画像によっては、著しく見苦しくなる。

5

発明の開示

本発明は以上の点を考慮してなされたもので、T F T 等による論理回路において遅延時間の変化を有効に回避することができる遅延時間補正回路、このような遅延時間補正回路によるビデオデータ処理回路及びフラットディスプレイ装置を

10 提案しようとするものである。

かかる課題を解決するため本発明においては、遅延時間補正回路に適用して、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、休止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを

15 介挿する。

本発明の構成により、遅延時間補正回路に適用して、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、休止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを介挿すれば、何らダミー
20 データを介挿しない場合に比して、続く論理レベルの変化における遅延時間を短くし得、その分、T F T 等による論理回路において遅延時間の変化を有効に回避することができる。

また本発明においては、一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に適用して、休
25 止期間の間の所定のタイミングで、入力データに一定の論理レベルとは逆の論理レベルによるダミーデータを介挿する。

これにより本発明の構成によれば、T F T 等による論理回路において遅延時間の変化を有効に回避して、この遅延時間の変化による各種影響を有効に回避してデータ処理することができる。

また本発明においては、フラットディスプレイ装置に適用して、階調データの水平ブランキング期間の間の所定のタイミングで、階調データに水平ブランキング期間の論理レベルとは逆の論理レベルによるダミーデータを介挿して階調データを処理する。

- 5 これにより本発明の構成によれば、T F T等による論理回路において遅延時間の変化を有効に回避して、この遅延時間の変化による各種影響を有効に回避して所望の画像を表示することができる。

- 10 本発明によれば、T F T等による論理回路において遅延時間の変化を有効に回避することができるビデオデータ処理回路及びフラットディスプレイ装置を提供することができる。

図面の簡単な説明

- 第1図は、遅延時間の変化の説明に供するブロック図である。
- 15 第2図は、遅延時間の変化の説明に供するタイミングチャートである。
- 第3図は、垂直ブランキング期間と遅延時間との関係を示すタイミングチャートである。
- 第4図は、本発明に係る遅延時間の補正原理の説明に供するブロック図である。
- 20 第5図は、第4図に係る補正原理の説明に供するタイミングチャートである。
- 第6図は、垂直ブランキング期間と遅延時間との関係を示すタイミングチャートである。
- 第7図は、遅延時間が減少する場合について、遅延時間の変化の説明に供するタイミングチャートである。
- 25 第8図は、本発明の実施例1に係る液晶表示装置を示すブロック図である。
- 第9図は、第8図の液晶表示装置におけるシリアルパラレル変換回路を周辺構成と共に示すブロック図である。
- 第10図は、第9図のシリアルパラレル変換回路におけるラッチ回路を示す接続図である。

第 1 1 図は、第 9 図のシリアルパラレル変換回路におけるダウンコンバータを示す接続図である。

第 1 2 図は、実施例 2 に係る遅延時間の変化の説明に供する略線図である。

第 1 3 図は、第 1 2 図の遅延時間の変化の説明に供するタイミングチャートである。

発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

(1) 遅延時間補正原理

10 第 4 図は、第 1 図との対比により本発明に係る遅延時間補正原理の説明に供するブロック図である。この補正原理においては、一定の周期で、一定期間の間、一定の論理レベルに保持される入力データを処理するデータ処理回路に対して、この一定の論理レベルに保持される期間の間の所定のタイミングで、この一定の論理レベルとは逆の論理レベルによるダミーデータを入力データに介挿する。な
15 おここでこのように一定の周期で、一定期間の間、一定の論理レベルに保持される期間は、例えばビデオデータにおける水平ブランキング期間のように、有意なデータの伝送に供していない期間であり、以下においては、この期間を適宜、休止期間と呼ぶ。

すなわちこのデータ処理回路が例えばレベルシフタ 1 であって、第 5 図に示す
20 ように、メインクロック MCK (第 5 図 (A)) に同期した階調データ D 1 を振幅 0 ~ 3 [V] から振幅 0 ~ 6 [V] に補正して出力データ D 2 を出力する場合に (第 5 図 (B) 及び (D))、この階調データ D 1 が一定の周期で、一定期間の間、一定の論理レベルに保持される水平ブランキング期間 T 2 の間、論理 L レベルから立ち上がるダミーデータ DD を階調データ D 1 に介挿する。このため例
25 えばオア回路 4 を介して、このダミーデータ DD によるリセットパルス HD r s t を階調データ D 1 に介挿する (第 5 図 (C))。

これによりこの補正原理においては、何らダミーデータ DD を介挿しない場合に比して、この水平ブランキング期間 T 2 の直後の論理レベルの立ち上がりにおける遅延時間 t d 1 を短くするようになされ、直前の論理レベルの長さに応じて

遅延時間が変化する問題を解決するようになされている。すなわちこのようにダミーデータDDを介挿すれば、強制的に入力データの論理レベルに切り換えて、何らダミーデータDDを介挿しない場合に比して、入力データの論理レベルを論理Lレベルに保持する期間を短くすることができ、その分、この入力データD1
5 によるデータ列において、遅延時間の変動を少なくすることができる。従ってその分、誤ったデータのラッチ等を有効に回避することができる。

すなわち第3図との対比により第6図に示すように、このような論理回路出力をサブクロックSCK（第6図（A））でサンプリングする場合にあっても、垂直ブランキング期間VBLの間の水平ブランキング期間でダミーデータDDが介挿されていることにより、垂直ブランキング期間VBLに続く論理レベルの立ち上がりにおける出力データD2の遅延時間を短くし得、有効映像期間における場合と同様のタイミングにより出力データD2をサンプリングしてラッチすることができ（第6図（B1）～（C2））、これにより垂直ブランキング期間VBLの立ち上がりに対応する画素を正しい階調により表示することができる。また黒
15 レベルが数ライン連続して白レベルに立ち上がるような場合、さらには複数ビットの特定ビットが数ライン連続してLレベルに保持されて立ち上がるような場合でも、正しく入力データD1をラッチし得、これにより液晶表示装置に適用して各画素の階調を正しく表示することができる。

ところで第2図について上述した遅延時間の変化においては、入力データD1
20 が長時間論理Lレベルに保持された直後に、論理レベルが立ち上がった場合に、この立ち上がった論理レベルの立ち下がりが遅延するものである。しかしながらこのような論理レベルの立ち上がりのタイミングを詳細に検討したところ、入力データD1が長時間論理Lレベルに保持された場合、立ち上がりのタイミングにあつては、第3図との対比により第7図に示すように、立ち下がりのタイミング
25 とは逆に、遅延時間が短くなることが判った（第7図（A）～（C2））。これにより入力データD1をサンプリングするタイミングが、論理レベルが切り換わる直前に設定されている場合であつて、サンプリングに係る位相余裕が少ない場合、この立ち上がりのタイミングに係る遅延時間の変化によっても、データを正しく処理できなくなる。

しかしながらこのような設定に係る場合でも、この補正原理に係るように休止期間にダミーデータを介挿すれば、このような立ち上がりに係る遅延時間の減少する方向への遅延時間の変化についても補正することができ、これにより例えば液晶表示装置に適用して各画素の階調を正しく補正することができる。

5

(2) 実施例 1 の構成

第 8 図は、本発明の実施例 1 に係る液晶表示装置を示すブロック図である。この液晶表示装置 11 においては、この第 8 図に示す各駆動回路が表示部 12 の絶縁基板であるガラス基板上に一体に作成され、後述する水平駆動回路、タイミン

10 グジェネレータ等の駆動回路においては、低温ポリシリコンによる T F T により作成される。

ここで表示部 12 は、液晶セルと、この液晶セルのスイッチング素子である T F T と、保持容量とにより各画素が形成され、この各画素をマトリックス状に配置して矩形形状により形成される。

15 垂直駆動回路 13 は、タイミングジェネレータ 14 から出力される各種タイミング信号により、この表示部 12 のゲート線を駆動し、これによりライン単位で表示部 12 に設けられた画素を順次選択する。水平駆動回路 15 O 及び 15 E は、それぞれ表示部 12 の上下に設けられ、シリアルパラレル (S P) 変換回路 16 から出力される奇数列及び偶数列の階調データ D o d 及び D e v を順次循環的にラッチした後、各ラッチ出力をディジタルアナログ変換処理し、その結果得ら

20 れる駆動信号により表示部 12 の各信号線を駆動する。これにより水平駆動回路 15 O 及び 15 E は、それぞれ表示部 12 の奇数列及び偶数列の信号線を駆動し、垂直駆動回路 13 で選択された各画素を階調データ D o d 及び D e v に応じた階調に設定する。

25 タイミングジェネレータ 14 は、この液晶表示装置 11 の上位の装置から供給される各種基準信号より、この液晶表示装置 11 の動作に必要な各種タイミング信号を生成して出力する。シリアルパラレル変換回路 16 は、この液晶表示装置 11 の上位の装置から出力される階調データ D 1 を奇数列及び偶数列の階調データ D o d 及び D e v に分離して出力する。ここで階調データ D 1 は、各画素の階

調を示すデータであり、表示部 12 の画素の配列に対応する赤色、青色、緑色の色データのラスタ走査順の連続によるビデオデータにより形成されるようになされている。

第 9 図は、このシリアルパラレル変換回路 16 を関連する構成を共に示すブロック図である。このシリアルパラレル変換回路 16 は、0 ～ 3 [V] による階調データ D1 の振幅をレベルシフタ 21 により 0 ～ 6 [V] の振幅に変換した後、ラッチ回路 22、23 により交互にラッチして奇数列及び偶数列の階調データ D_{o d} 及び D_{e v} に分離し、ダウンコンバータ 24、25 により元の振幅に戻して出力する。これによりシリアルパラレル変換回路 16 は、レベルシフタ 21 によるレベルシフトにより階調データ D1 の振幅を拡大して処理して、高転送レートによる階調データ D1 を確実に 2 系統の階調データに分離するようになされている。

この階調データ D1 に係る処理において、シリアルパラレル変換回路 16 は、レベルシフタ 21 の出力段にオア回路 27 が設けられ、このオア回路 27 により階調データ D1 の水平ブランキング期間で、階調データ D1 にダミーデータ DD が介挿される。これによりこの液晶表示装置 11 では、階調データ D1 が長時間 L レベルに保持されることによる遅延時間の変化を防止し、続くラッチ回路 22、23 において、正しく階調データ D1 をラッチできるようになされている。なおこの液晶表示装置 11 では、レベルシフタ 21 で発生する遅延時間の変化だけでは、誤って階調データ D1 をラッチしないことにより、このようにレベルシフタ 21 の出力段において、ダミーデータ DD を介挿するようになされている。

このためタイミングジェネレータ (TG) 14 においては、各水平ブランキングの期間の間で信号レベルが立ち上がるリセットパルス HDrst を出力してオア回路 27 に供給するようになされている。

第 10 図は、ラッチ回路 22 を示す接続図である。ラッチ回路 22 及び 23 においては、ラッチのタイミングを制御するサンプリングパルス sp 及び xsp がそれぞれタイミングジェネレータ 14 から供給される点を除いて同一に構成されることにより、以下においては、ラッチ回路 22 についてのみ構成を説明し、ラッチ回路 23 については説明を省略する。またリセットパルス rst に係る処理

については、記載を省略して示す。

このラッチ回路 22 においては、サンプリングパルス s_p をインバータ 31 に
入力し、このサンプリングパルス s_p の反転信号を生成する。ラッチ回路 22 は
、このサンプリングパルス s_p によりオン状態に切り換わる P チャンネル MOS
5 トランジスタ Q1、インバータ 31 より出力されるラッチパルス s_p の反転信号
によりオン状態に切り換わる N チャンネル MOS トランジスタ Q2 によりそれぞ
れ正側及び負側電源 VDD 及び VSS に接続されてなるインバータ 32 に階調デ
ータ D1 が入力される。またそれぞれサンプリングパルス s_p の反転信号により
オン状態に切り換わる P チャンネル MOS トランジスタ Q3、サンプリングパル
10 ス s_p によりオン状態に切り換わる N チャンネル MOS トランジスタ Q4 により
正側及び負側電源 VDD 及び VSS に接続されてなるインバータ 33 の出力と、
インバータ 32 の出力とが接続され、これらインバータ 33、32 の出力が、イ
ンバータ 33 と入力を共通に接続してなるインバータ 34 に接続される。これに
よりラッチ回路 22 は、ラッチセルを構成し、サンプリングパルス s_p により階
15 調データ D1 をラッチするようになされている。

またラッチ回路 22 においては、それぞれサンプリングパルス s_p の反転信号
によりオン状態に切り換わる P チャンネル MOS トランジスタ Q5、サンプリン
グパルス s_p によりオン状態に切り換わる N チャンネル MOS トランジスタ Q6
により正側及び負側電源 VDD 及び VSS に接続されてなるインバータ 35 にイ
20 ンバータ 34 の出力が供給される。またサンプリングパルス s_p によりオン状態
に切り換わる P チャンネル MOS トランジスタ Q7、サンプリングパルス s_p の
反転信号によりオン状態に切り換わる N チャンネル MOS トランジスタ Q8 によ
りそれぞれ正側及び負側電源 VDD 及び VSS に接続されてなるインバータ 36
の出力と、インバータ 35 の出力とが接続され、これらインバータ 35、36 の
25 出力が、インバータ 36 と入力を共通に接続してなるインバータ 37 の出力に接
続される。ラッチ回路 22 は、このインバータ 37 の出力がバッファ 38 を介し
て出力される。これによりラッチ回路 22 は、階調データ D1 をそれぞれ奇数列
及び偶数列により分離してなる振幅 0～6 [V] の階調データ D_{od1} 及び D_{ev1}
を出力するようになされている。

第11図は、ダウンコンバータ24を示す接続図である。ダウンコンバータ24、25は、処理対象のデータが異なる点を除いて同一に構成されることにより、以下においては、ダウンコンバータ24についてのみ構成を説明し、ダウンコンバータ25については説明を省略する。

- 5 このダウンコンバータ24は、6[V]の正側電源VDD2及び0[V]の負側電源VSSにより動作するインバータ41、このインバータ41の負側レベルを-3[V]に立ち下げるレベルシフタ42、6[V]の正側電源VDD2及び-3[V]の負側電源VSS2により動作してこのレベルシフタ42の出力をバッファリングして出力するインバータ43及び44の直列回路、3[V]の正側電源VDD1及び0[V]の負側電源VSSにより動作してインバータ44の出力の反転信号を出力するインバータ45により構成され、これらにより奇数列及び偶数列の階調データD_{od}及びD_{ev}を元の振幅により出力する。
- 10

- 具体的に、レベルシフタ42は、PチャンネルMOSトランジスタQ11、NチャンネルMOSトランジスタQ12の直列回路、PチャンネルMOSトランジスタQ13、NチャンネルMOSトランジスタQ14の直列回路がそれぞれ6[V]の正側電源VDD2、-3[V]の負側電源VSS2に接続されて、PチャンネルMOSトランジスタQ11及びQ13のドレイン出力がそれぞれNチャンネルMOSトランジスタQ14及びQ12のゲートに接続される。またインバータ41の出力が、直接PチャンネルMOSトランジスタQ11に入力され、またインバータ47を介して他方のPチャンネルMOSトランジスタQ13に入力される。レベルシフタ42は、PチャンネルMOSトランジスタQ13のドレイン出力をバッファ48を介して出力し、これにより階調データD_{od}及びD_{ev}をレベルシフトさせて出力するようになされている。
- 15
- 20

25 (3) 実施例1の動作

以上の構成において、この液晶表示装置11では(第8図)、ラスタ走査順に入力される階調データD1が、シリアルパラレル変換回路16により偶数列及び奇数列の階調データD_{od}及びD_{ev}に分離され、この偶数列及び奇数列の階調データD_{od}及びD_{ev}により水平駆動回路15O及び15Eでそれぞれ表示部

1 2 の偶数列及び奇数列の信号線が駆動される。またこの階調データ D 1 に対応するタイミング信号により垂直駆動回路 1 3 で表示部 1 2 のゲート線を駆動することにより、このようにして水平駆動回路 1 5 O 及び 1 5 E で信号線が駆動されてなる表示部 1 2 の画素がライン単位で順次選択され、これらにより配線パターンを効率良くレイアウトして高精細に画素を配置してなる表示部 1 2 に階調データ D 1 による画像が表示される。

液晶表示装置 1 1 においては、この階調データ D 1 を 2 系統の階調データ D o d 及び D e v に分離する際に（第 9 図）、レベルシフタ 2 1 により階調データ D 1 の振幅が拡大されて 2 系統のデータに分離され、これにより表示部 1 2 の解像度に対応した高転送レートによる階調データ D 1 が確実に 2 系統の階調データ D o d 及び D e v に分離される。

この処理において、この液晶表示装置 1 1 では、ラッチ回路 2 2、2 3 で交互に階調データ D 1 をラッチして 2 系統の階調データ D o d 及び D e v に分離することにより、またこのシリアルパラレル変換回路 1 6 を含む駆動回路が表示部 1 2 の絶縁基板であるガラス基板上に一体に形成されて、低温ポリシリコンにより作成されていることにより、階調データの各ビットが長時間、L レベルに保持されると、続く論理レベルの立ち上がりの後の立ち下がりで遅延時間が大きくなり、これによりラッチ回路 2 2、2 3 で正しく階調データ D 1 をラッチできなくなる。またこのような論理レベルの立ち上がりにおいては、これとは逆に、遅延時間が短くなり、この場合も、条件によってはラッチ回路 2 2、2 3 で正しく階調データ D 1 をラッチできなくなる。

このためこの実施例では、レベルシフタ 2 1 の出力段に設けられたオア回路 2 7 により、このように一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データである階調データに対して、この休止期間である水平ブランキング期間の間の所定のタイミングで、この一定の論理レベルとは逆の論理レベルによるダミーデータ D D が階調データ D 1 に介挿される（第 5 図及び第 6 図）。

その結果、この液晶表示装置 1 1 では、何らダミーデータ D D を介挿しない場合に比して、水平ブランキング期間に続く論理レベルの立ち上がりにおいて、遅

延時間の変化を解消し得、他のデューティ比50 [%]により論理レベルが反転している期間と同様の遅延時間を確保することができる。これによりこの実施例では、TFT等による論理回路において遅延時間の変化を有効に回避することができる。またビデオデータのデータ処理回路である液晶表示装置において、この
5 5 のような遅延時間の変化による誤った階調による表示を有効に回避することができる。

すなわちこれにより液晶表示装置11では、垂直ブランキングに続く論理レベルの立ち上がりに関して、ラッチ回路22、23に入力する階調データD1の切り換わりに係る遅延時間の変化を補正し得、これによりラッチ回路22、23に
10 において、有効映像期間における場合と同様のタイミングにより階調データD1をサンプリングして2系統の階調データD_{od}及びD_{ev}に正しく分離することができる。従って垂直ブランキング期間VBLの立ち上がりに対応する画素を正しい階調により表示することができる。また黒レベルが数ライン連続して白レベルに立ち上がるような場合、さらには複数ビットの特定ビットが数ライン連続して
15 Lレベルに保持されて立ち上がるような場合でも、正しく入力データD1をラッチし得、これにより液晶表示装置に適用して各画素の階調を正しく表示することができる。

なおこのような遅延時間に係る補正にあつては、水平駆動回路150及び15Eにおけるラッチの処理においても、各ラッチ処理における時間軸方向のマージ
20 ンを拡大することができ、これによってもこの液晶表示装置11では、安定に動作して所望する画像を確実に表示できるようになされている。

(4) 実施例1の効果

以上の構成によれば、入力データである階調データD1にダミーデータDDを介挿して階調データD1の論理レベルを強制的に切り換えることにより、TFT
25 による論理回路において遅延時間の変化を有効に回避することができる。これによりビデオデータの処理に適用してビデオデータを正しく処理し得、液晶表示装置においては、正しい階調により所望する画像を表示することができる。

またビデオデータである階調データの処理において、水平ブランキング期間でダミーデータDDを介挿することにより、垂直ブランキング期間の直後における

論理レベルの立ち上がり、数ラインの期間の間、論理レベルが立ち下がった直後の論理レベルの立ち上がり等において、遅延時間の変化を補正して正しくビデオデータを処理することができる。

5 (5) 実施例 2

ところで上述の実施例 1 においては、休止期間にダミーデータを介挿すれば、T F T 等の論理回路における遅延時間の変化を防止することができるとの知見に基づき、水平ブランキング期間にダミーデータを介挿し、水平ブランキング期間に続く論理レベルの立ち下がりに係る遅延時間の増大を防止するようにしたもの
10 である。

これに対して上述の遅延時間補正原理で述べたように、T F T の論理回路における論理レベルの立ち上がりにおいては、このような論理レベルの立ち下がりとは逆に、直前で、一定期間、入力データの論理レベルが一定値に保持されると遅延時間が減少し、休止期間にダミーデータを介挿する構成にあっては、このような遅延時間の減少に係る遅延時間の変動についても防止することができる。
15

これらの認識に基づいて実施例 1 に係る構成による効果を改めて検証すべく、第 9 図の構成においてリセットパルス H D r s t の供給を中止することによりダミーデータの介挿を中止し、黒色に縁取りして正方形形状により白色を表示したところ、第 1 2 図において矢印 A により示すように、この正方形形状による白色
20 の領域が走査開始端側で水平方向に 1 画素分飛び出して表示された。

またこの状態で、サンプリングパルス s p をトリガにしてオア回路 2 7 の出力データ D 2 7 を詳細に波形観測したところ、この水平方向に 1 画素分、飛び出してなる箇所では、論理レベルの立ち上がるタイミングが進み、これにより本来、論理レベルが L レベルによりラッチされるべき直前画素が、続く画素の論理 H レ
25 ベルによりラッチされていることが判った。

しかしてこのことから、入力データ D 1 を切り換えて波形観測したところ、第 1 3 図に示すように、長期間、入力データの論理レベルが一定値に保持された場合、続く画素 j + 1 に対応する論理レベルの立ち上がりにおいては、その立ち上がりのタイミングだけが進み、立ち下がりのタイミングにあっては、何ら変化し

ていないことが確認された（第13図（B1）～（C2））。なおこの第13図において、符号2spは（第13図（A））、ラッチ回路22、23に入力されるラッチパルスsp、xspの2倍の周期によるこれらラッチパルスsp、xspの生成基準信号である。

- 5 これにより第9図に示す構成にあつては、休止期間にダミーデータを介挿してTFTの論理回路における遅延時間の変化を防止する構成ではあるものの、この遅延時間の変化が論理レベルの立ち下がりに係る遅延時間の増大によるものではなく、論理レベルの立ち上がりに係る遅延時間の減少によるものであることが判った。
- 10 これによりこの実施例によれば、遅延時間補正原理で述べたように、論理レベルの立ち上がりに係る遅延時間の減少による遅延時間の変化についても、確実に防止できることを確認することができた。

（6）他の実施例

- 15 なお上述の実施例においては、レベルシフタの出力段でダミーデータを介挿する場合について述べたが、本発明はこれに限らず、さらに高速度で階調データを処理する場合に、レベルシフタにおける遅延時間の変化まで問題となる場合には、レベルシフタの入力側でダミーデータを介挿するようにしてもよい。

- 20 また上述の実施例においては、水平ブランキング期間にダミーパルスを介挿する場合について述べたが、本発明はこれに限らず、必要に応じて垂直ブランキング期間に介挿するようにしてもよい。

また上述の実施例においては、本発明を液晶表示装置に適用して階調データの処理において遅延時間を補正する場合について述べたが、本発明はこれに限らず、種々のビデオデータの処理回路に広く適用することができる。

- 25 また上述の実施例においては、本発明をビデオデータの処理回路に適用した場合について述べたが、本発明はこれに限らず、種々のデータ処理回路において、遅延時間を補正する場合に広く適用することができる。

また上述の実施例においては、低温ポリシリコンによる能動素子による液晶表示装置に本発明を適用する場合について述べたが、本発明はこれに限らず、高温

ポリシリコンによる能動素子による液晶表示装置、CGS (Continuous Grain Silicon) による能動素子による液晶表示装置等、各種の液晶表示装置、さらにはEL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置、さらには種々の論理回路に広く適用することができる。

5

産業上の利用可能性

本発明は、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。

請求の範囲

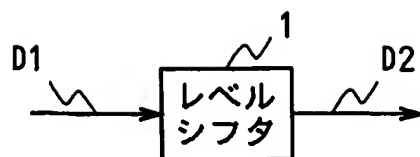
1. 一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路に対して、
- 5 前記休止期間の間の所定のタイミングで、前記入力データに前記一定の論理レベルとは逆の論理レベルによるダミーデータを介挿することを特徴とする遅延時間補正回路。
2. 一定の周期で、一定期間の間、一定の論理レベルに保持される休止期間を有する入力データを処理するデータ処理回路において、
- 10 前記休止期間の間の所定のタイミングで、前記入力データに前記一定の論理レベルとは逆の論理レベルによるダミーデータを介挿することを特徴とするデータ処理回路。
- 15 3. 前記入力データがビデオデータであり、
前記休止期間が、水平ブランキング期間又は垂直ブランキング期間であることを特徴とする請求の範囲第2項に記載のデータ処理回路。
4. マトリックス状に画素を配置してなる表示部と、
- 20 前記表示部の画素をゲート線により順次選択する垂直駆動回路と、
前記画素の階調を示す階調データを順次サンプリングしてアナログ信号に変換し、前記表示部の信号線を前記アナログ信号により駆動することにより、前記ゲート線により選択された画素を駆動する水平駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置において、
- 25 前記階調データの水平ブランキング期間の間の所定のタイミングで、前記階調データに前記水平ブランキング期間の論理レベルとは逆の論理レベルによるダミーデータを介挿して前記階調データを処理することを特徴とするフラットディスプレイ装置。

5. 低温ポリシリコンにより前記階調データを処理する能動素子が形成されてなる

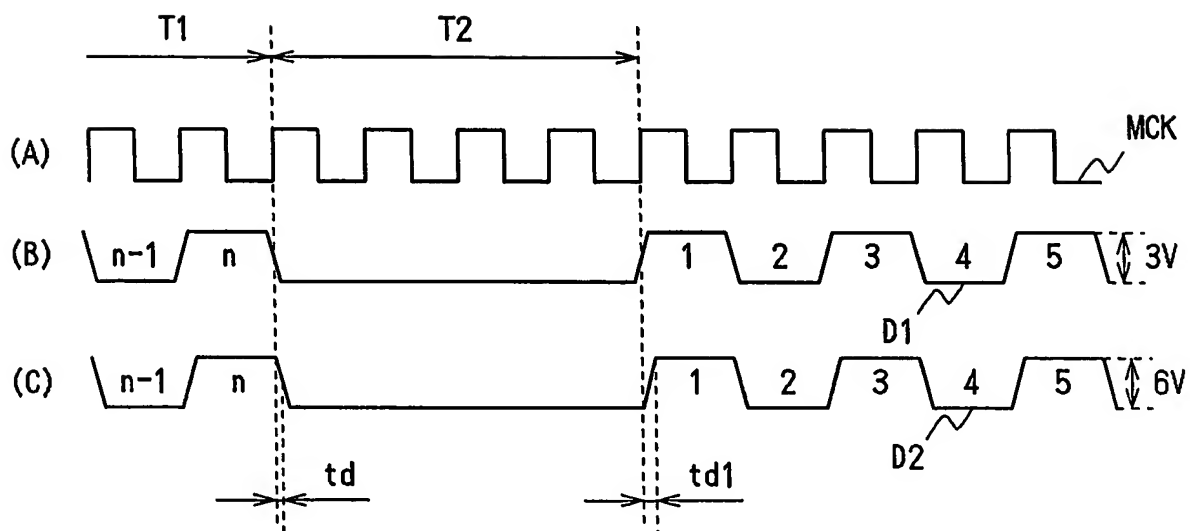
ことを特徴とする請求の範囲第4項に記載のフラットディスプレイ装置。

5 6. CGSにより前記階調データを処理する能動素子が形成されてなる

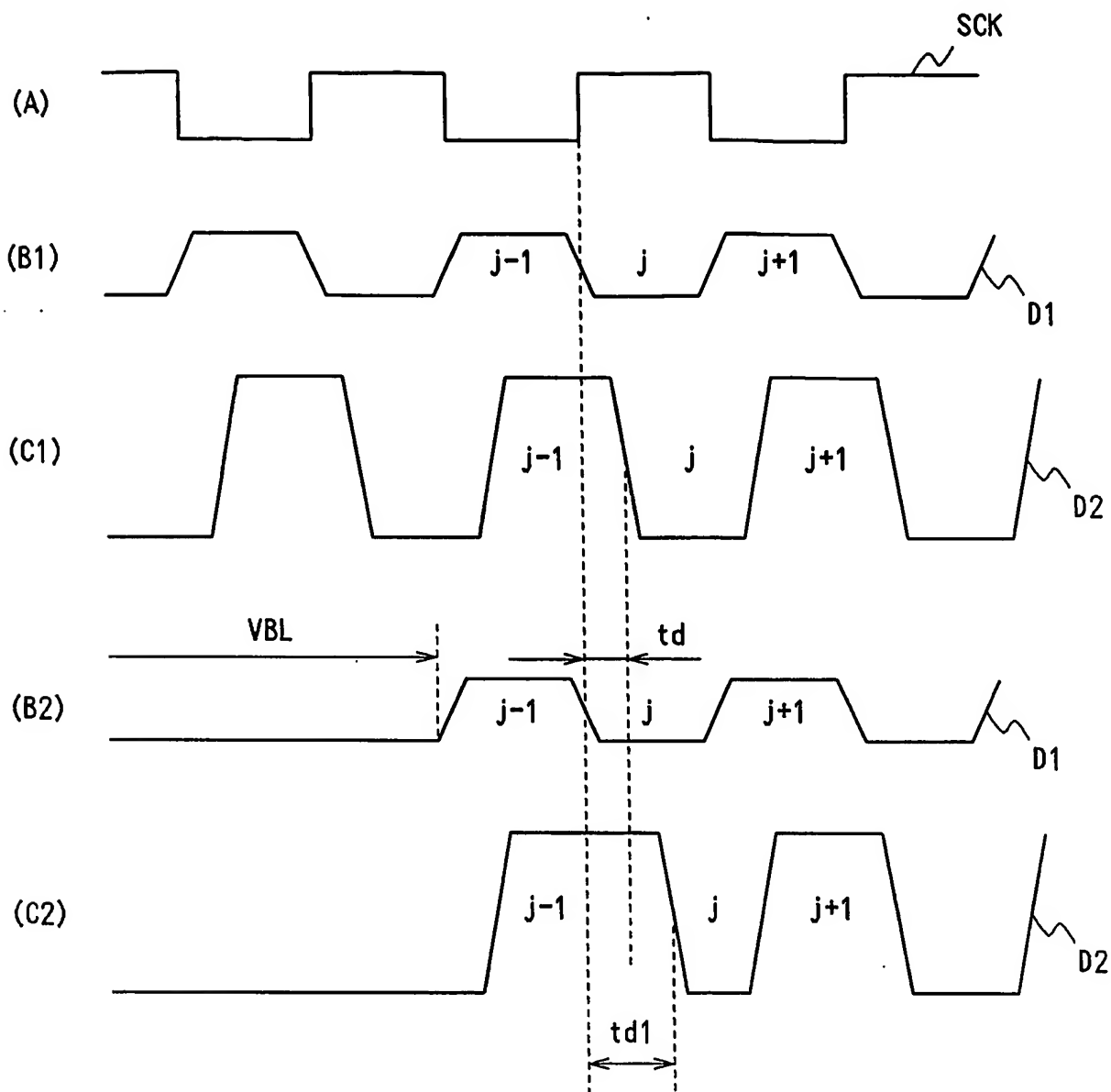
ことを特徴とする請求の範囲第4項に記載のフラットディスプレイ装置。



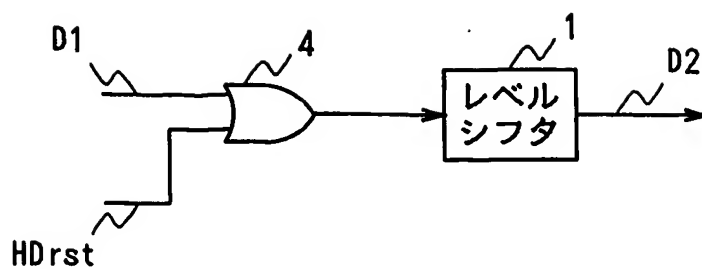
第 1 図



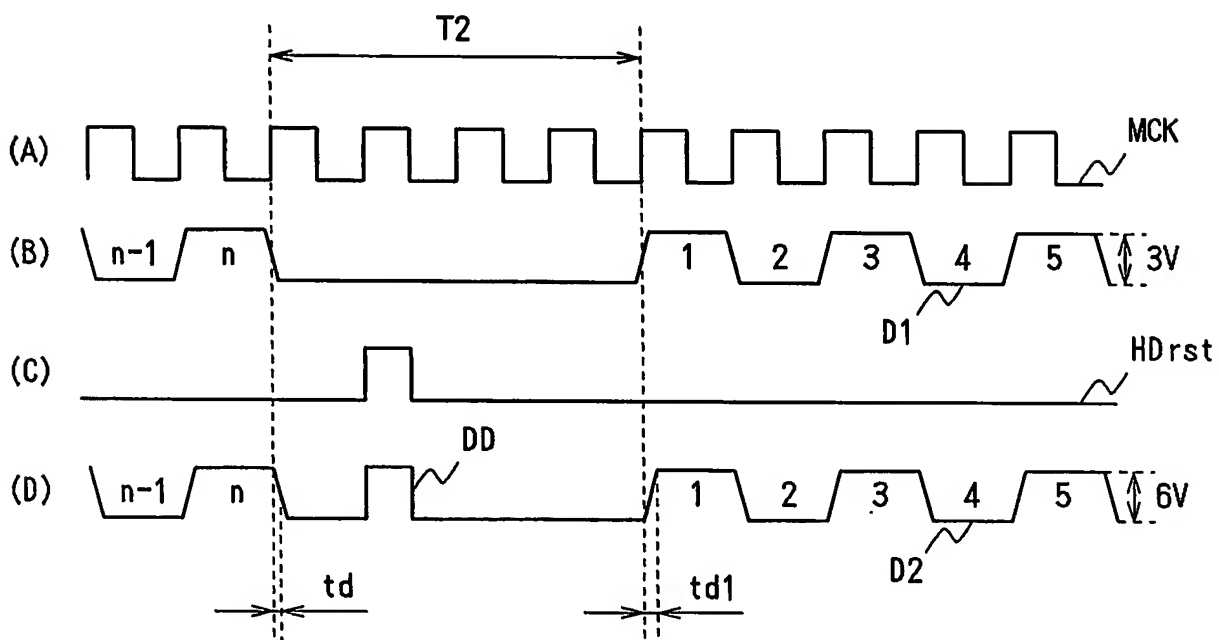
第 2 図



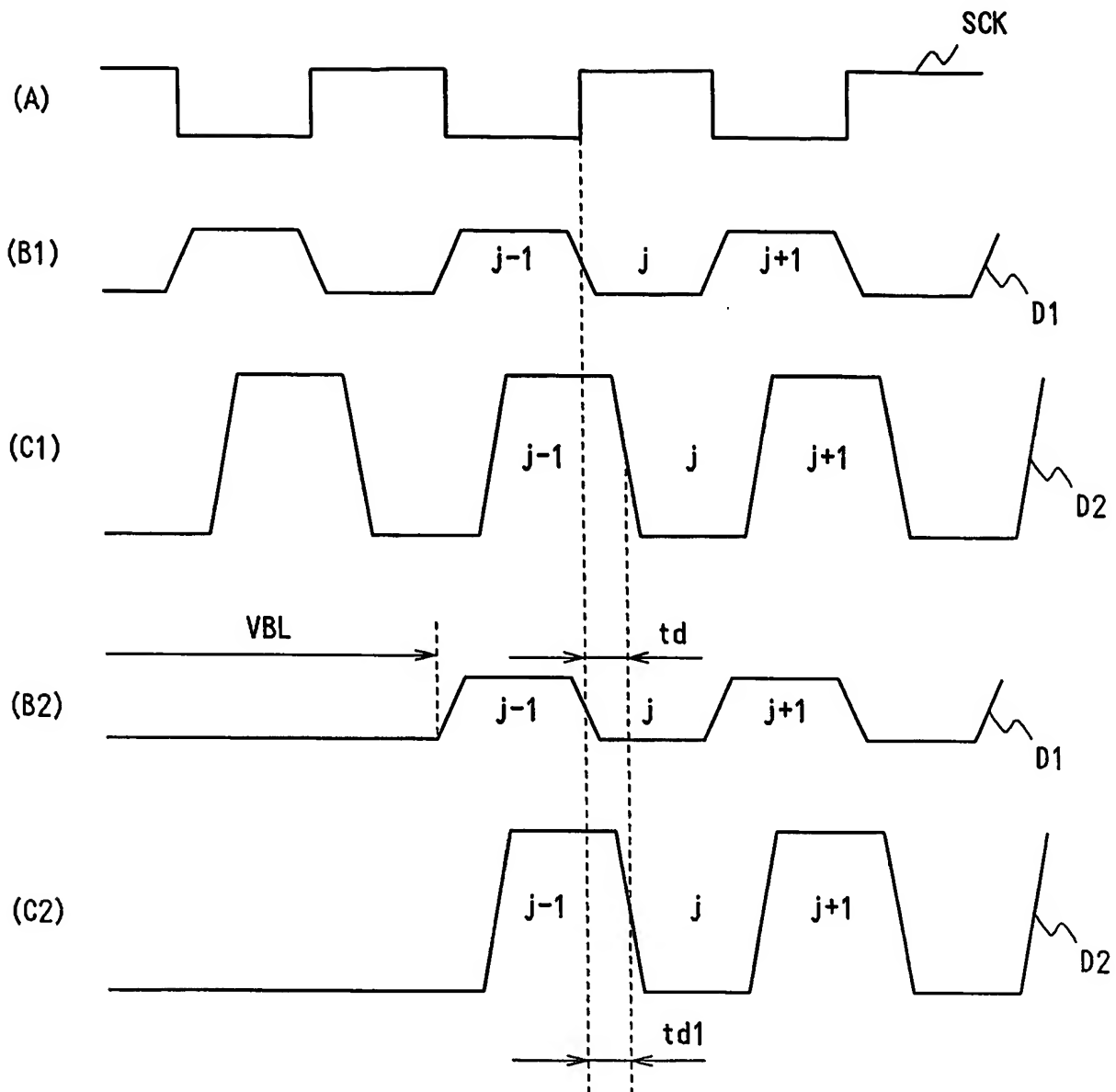
第 3 図



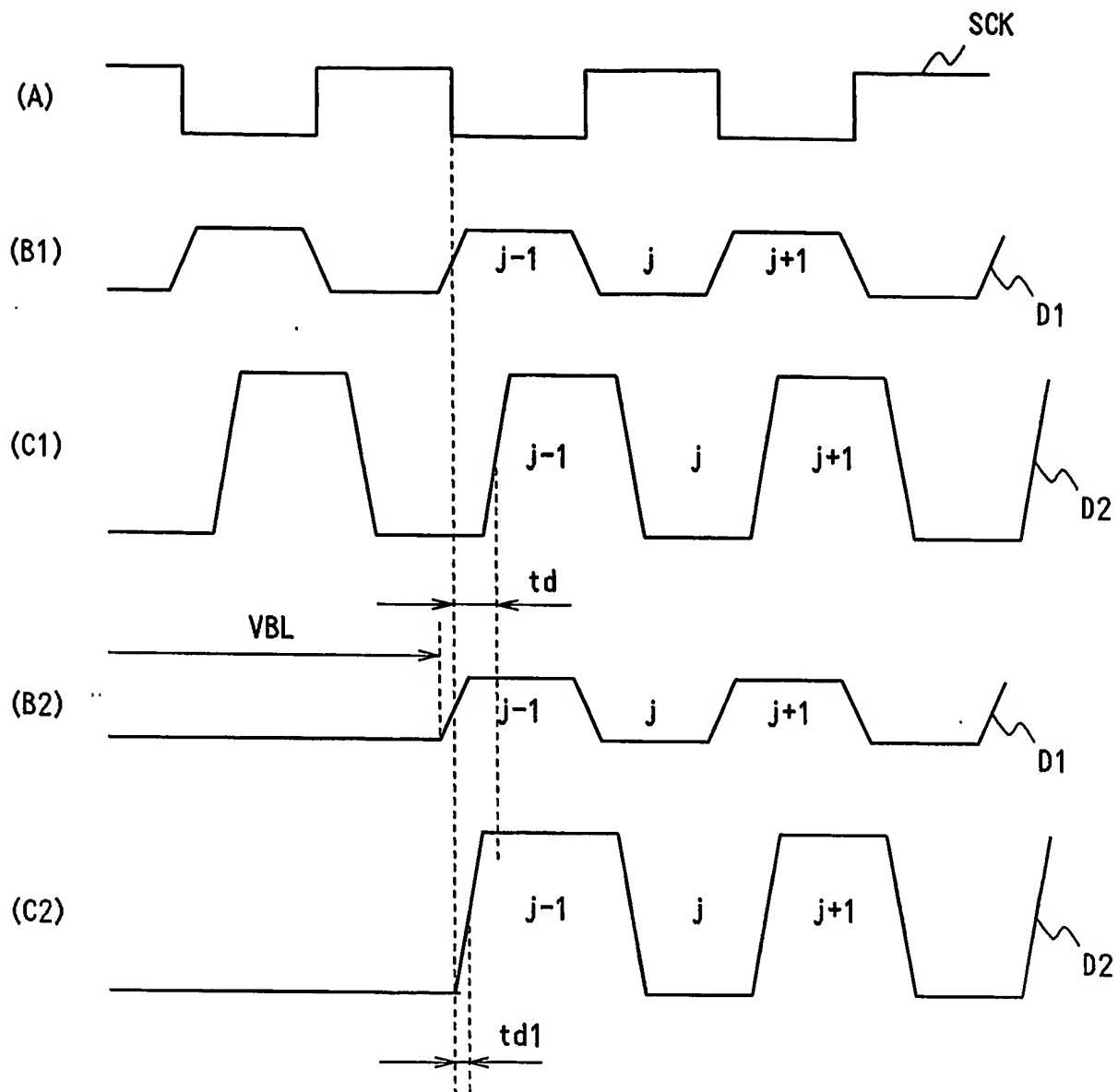
第4図



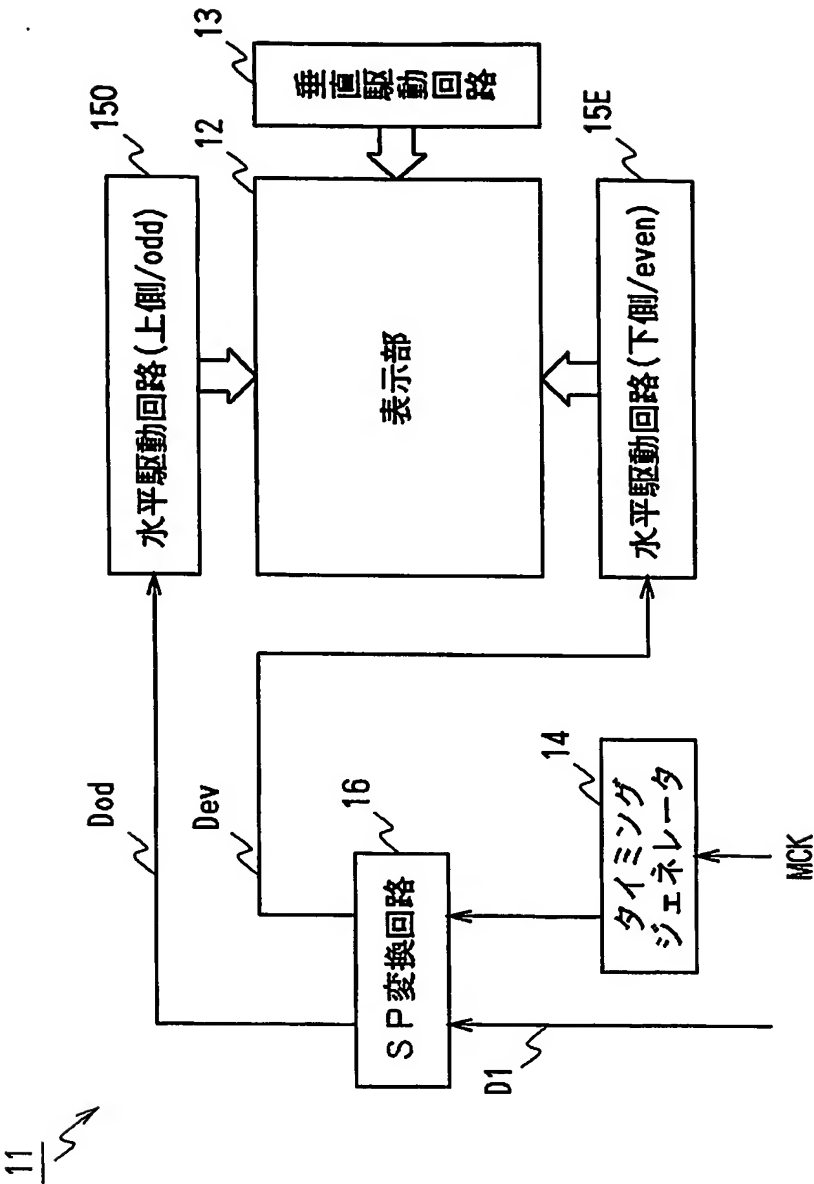
第5図



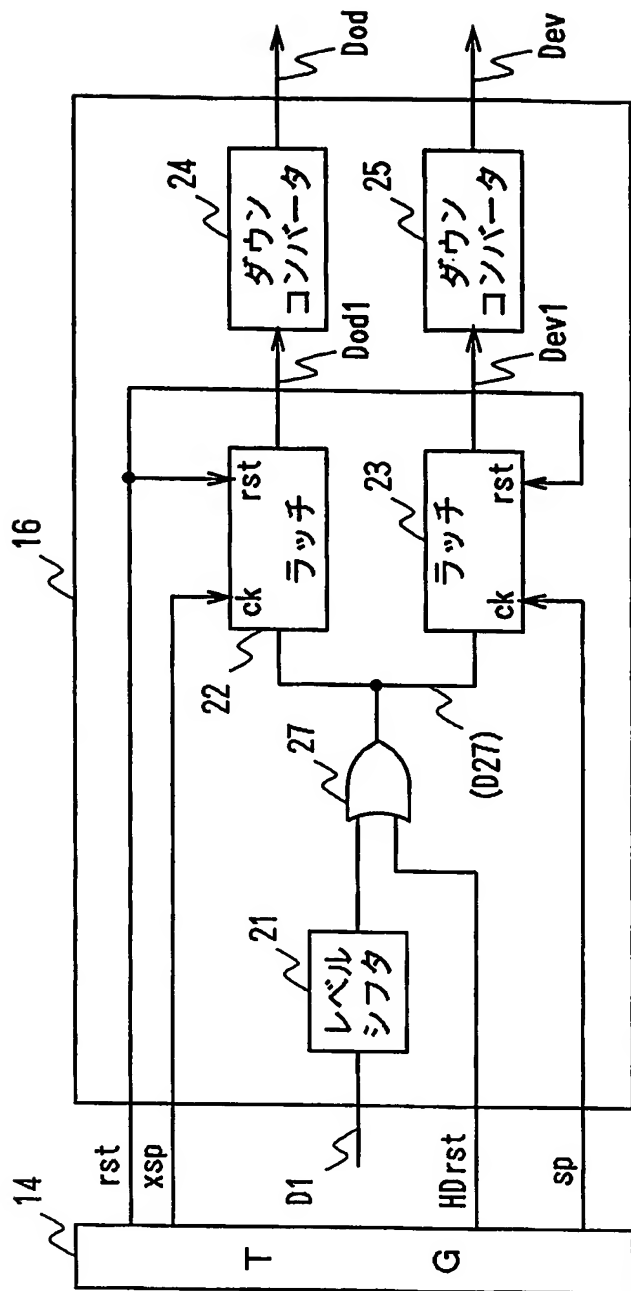
第6図



第7図



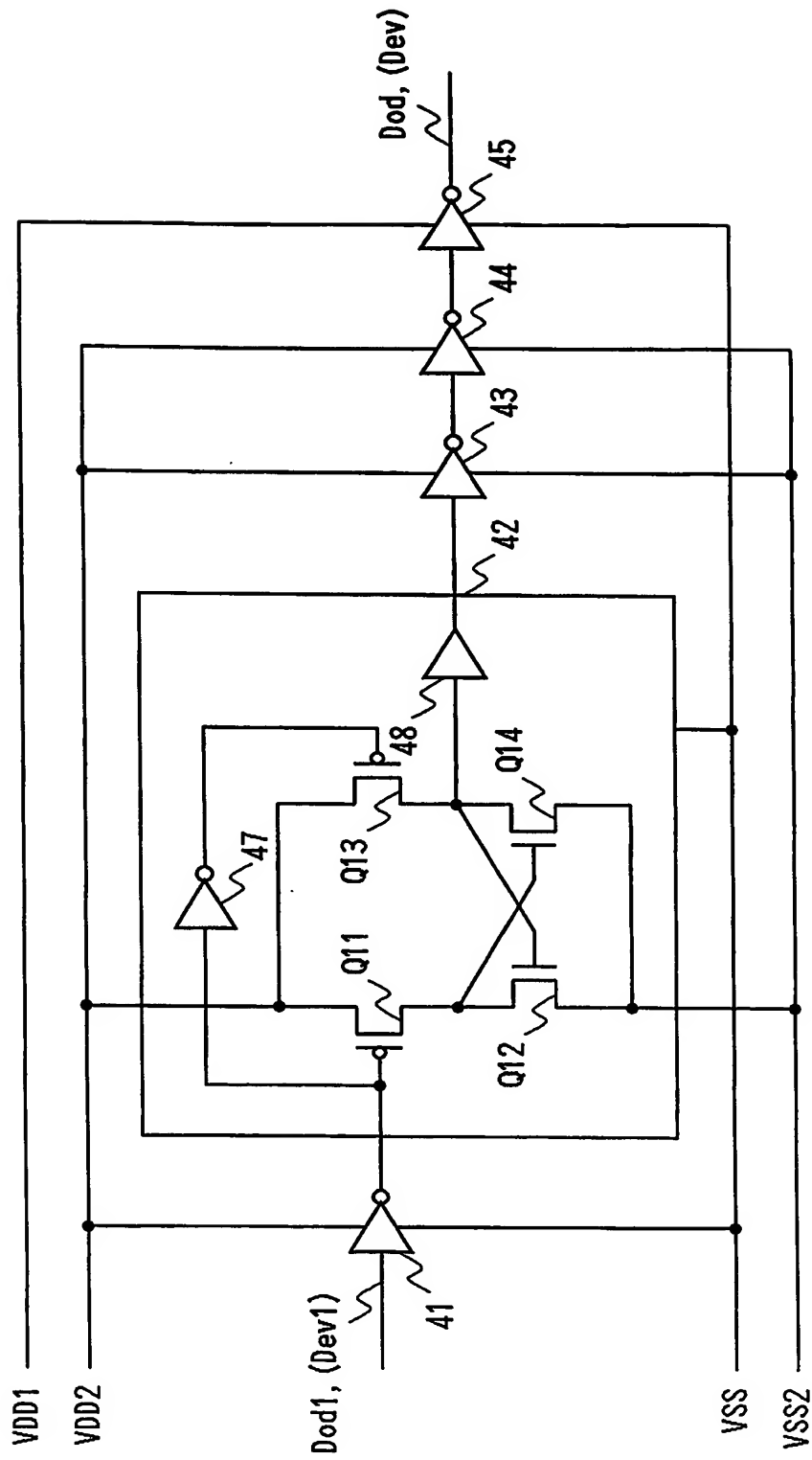
第8図



第9図

22, (23)

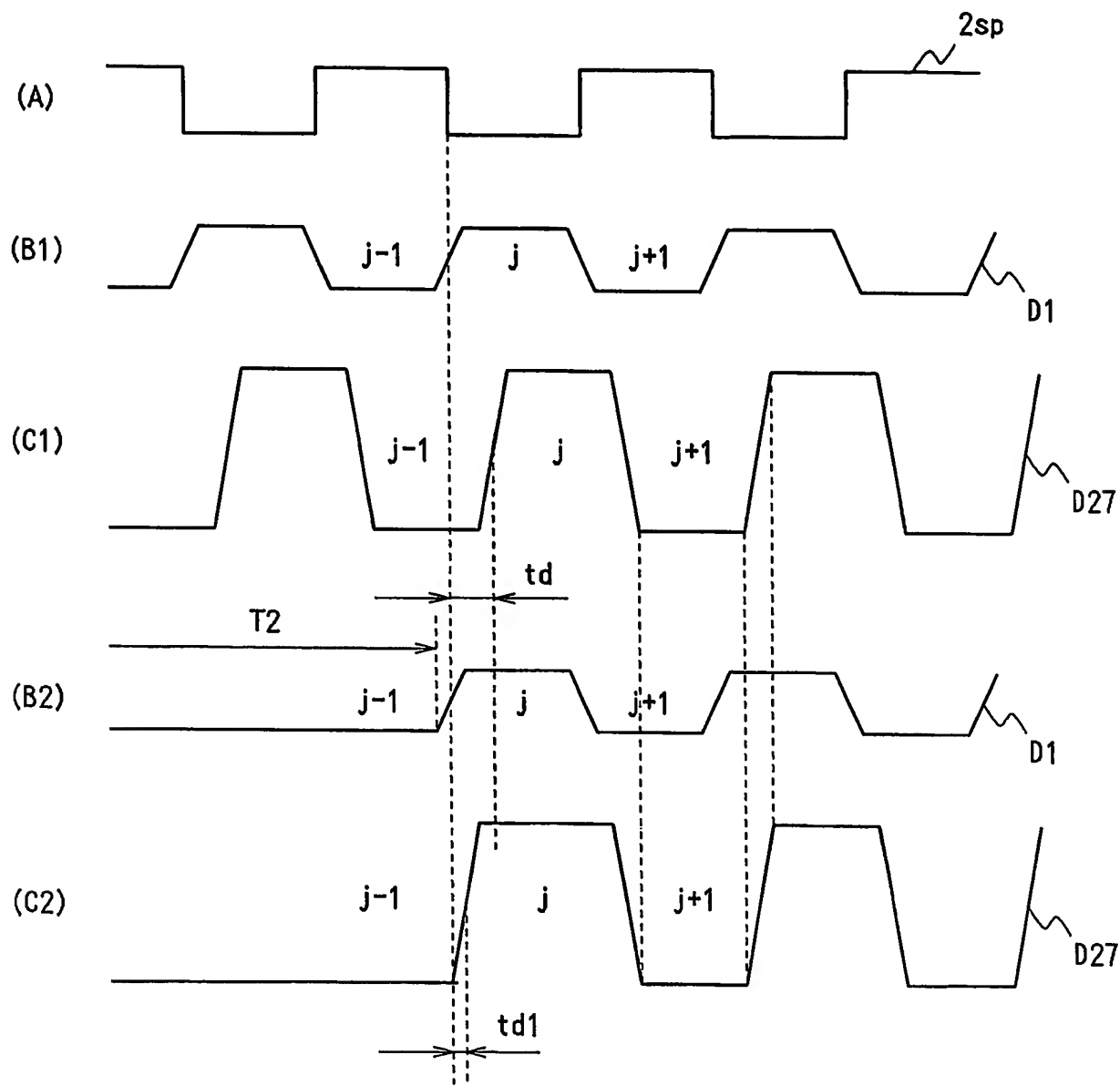
24, (25)



第 1 1 図



第 1 2 図



第 1 3 図

符号の説明

1、21、42 ……レベルシフタ、4、27 ……オア回路、11
……液晶表示装置、12 ……表示部、13 ……垂直駆動回路、14
……タイミングジェネレータ、15O、15E ……水平駆動回路、
16 ……シリアルパラレル変換回路、22、23 ……ラッチ回路、
24、25 ……ダウンコンバータ、31～37、41、43～47
……インバータ、38、48 ……バッファ、Q1～Q14 ……トラ
ンジスタ

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011029

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G09G3/36, 3/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G09G3/36, 3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-285428 A (Matsushita Electric Industrial Co., Ltd.), 23 October, 1998 (23.10.98), Par. Nos. [0008] to [0012]; Figs. 1 to 3 (Family: none)	1-6
A	JP 9-18807 A (Matsushita Electric Industrial Co., Ltd.), 17 January, 1997 (17.01.97), Par. Nos. [0013] to [0019]; Figs. 1 to 2 (Family: none)	1-6
A	JP 2002-189456 A (Fujitsu Ltd.), 05 July, 2002 (05.07.02), Par. Nos. [0037] to [0089]; Figs. 7 to 20 & US 2002/0118152 A1	1-6

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 September, 2004 (09.09.04)Date of mailing of the international search report
22 November, 2004 (22.11.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011029

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-94156 A (Hitachi, Ltd.), 16 April, 1993 (16.04.93), Par. Nos. [0034] to [0037]; Fig. 9 (Family: none)	1-6
A	JP 9-212138 A (Sharp Corp.), 15 August, 1997 (15.08.97), Par. Nos. [0062] to [0099]; Figs. 1 to 30 (Family: none)	1-6
A	JP 2001-109438 A (Toshiba Corp.), 20 April, 2001 (20.04.01), Par. Nos. [0042] to [0046]; Figs. 1 to 2 (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ G09G 3/36, 3/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ G09G 3/36, 3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-285428 A (松下電器産業株式会社) 1998. 10. 23, 段落【0008】-【0012】, 【図1】-【図3】 (ファミリーなし)	1-6
A	JP 9-18807 A (松下電器産業株式会社) 1997. 01. 17, 段落【0013】-【0019】, 【図1】-【図2】 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09. 09. 2004

国際調査報告の発送日

22.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3225

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-189456 A (富士通株式会社) 2002. 07. 05, 段落【0037】-【0089】, 【図7】-【図20】 & US 2002/0118152 A1	1-6
A	JP 5-94156 A (株式会社日立製作所) 1993. 04. 16, 段落【0034】-【0037】, 【図9】 (ファミリーなし)	1-6
A	JP 9-212138 A (シャープ株式会社) 1997. 08. 15, 段落【0062】-【0099】, 【図1】-【図30】 (ファミリーなし)	1-6
A	JP 2001-109438 A (株式会社東芝) 2001. 04. 20, 段落【0042】-【0046】, 【図1】-【図2】 (ファミリーなし)	1-6